

ATTORNEY DOCKET NO.: 5649-1205

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Lee et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **METHODS OF FORMING CONDUCTIVE PATTERNS USING BARRIER
LAYERS**

March 30, 2004

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2003-0020165 filed March 31, 2003.

Respectfully submitted,


Robert N. Crouse
Registration No. 44,635

Myers Bigel Sibley & Sajovec

PO Box 37428

Raleigh NC 27627

Tel (919) 854-1400

Fax (919) 854-1401

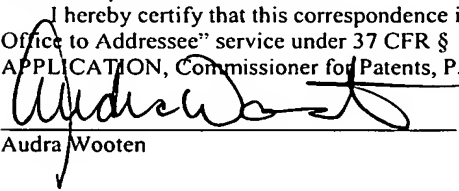
Customer No.: 20792

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EV 381443225 US

Date of Deposit: March 30, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450


Audra Wooten



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0020165
Application Number

출원 년 월 일 : 2003년 03월 31일
Date of Application

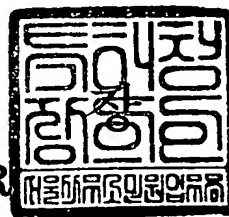
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 01 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.03.31
【발명의 명칭】	금속 패턴을 갖는 반도체 소자의 형성방법
【발명의 영문명칭】	Methods of forming semiconductor device having metal patterns
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이종명
【성명의 영문표기】	LEE, JONG MYEONG
【주민등록번호】	700307-1001015
【우편번호】	463-749
【주소】	경기도 성남시 분당구 분당동 샛별마을 상부아파트 414동 102호
【국적】	KR
【발명자】	
【성명의 국문표기】	최길현
【성명의 영문표기】	CHOI, GIL-HEYUN
【주민등록번호】	661001-1009316
【우편번호】	449-913

【주소】 경기도 용인시 구성면 보정리 행원마을 동아솔레시
티아파트 104동 10 1호
【국적】 KR
【발명자】
【성명의 국문표기】 이상우
【성명의 영문표기】 LEE, SANG-WOO
【주소】 서울시 동작구 사당3동 영아아파트 2동 105호
【국적】 US
【발명자】
【성명의 국문표기】 김병희
【성명의 영문표기】 KIM, BYUNG-HEE
【주민등록번호】 690103-1047627
【우편번호】 156-090
【주소】 서울특별시 동작구 사당동 1137번지 신동아아파트
503동 202호
【국적】 KR
【발명자】
【성명의 국문표기】 서정훈
【성명의 영문표기】 SEO, JUNG-HUN
【주민등록번호】 740120-1347916
【우편번호】 440-040
【주소】 경기도 수원시 장안구 신포동 157번지 202호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조
의 규정에 의한 출원심사 를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 9 면 9,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 19 항 717,000 원
【합계】 755,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

금속 패턴을 갖는 반도체 소자의 형성방법을 제공한다. 이 방법은 기판 상에 형성된 몰드층을 패터닝하여 음각 패턴(intaglio pattern)을 형성하는 단계를 구비한다. 음각 패턴을 갖는 기판 전면 상에 콘포말한 베리어막을 형성하고, 베리어막 상에 음각 패턴을 채우는 유동성 물질막을 형성한다. 유동성 물질막 및 베리어막을 몰드층의 상면이 노출될때까지 연속적으로 전면 이방성 식각하여 음각 패턴 내에 적층된 베리어 패턴 및 유동성 물질 패턴을 형성한다. 유동성 물질 패턴을 제거하여 베리어 패턴을 노출시킨다. 노출된 베리어 패턴을 갖는 기판 전면 상에 음각 패턴을 채우는 금속막을 형성한다. 베리어 패턴은 음각 패턴 내에만 형성되어 있다. 이에 따라, 금속막을 화학적기계적 연마 공정으로 평탄화할지라도, 종래의 베리어막의 잔여물로 야기되는 스크래치 현상등을 방지할 수 있다. 그 결과, 음각 패턴내의 금속 패턴의 특성열화 또는 반도체 소자의 불량을 방지할 수 있다.

【대표도】

도 12

【명세서】**【발명의 명칭】**

금속 패턴을 갖는 반도체 소자의 형성방법{Methods of forming semiconductor device having metal patterns}

【도면의 간단한 설명】

도 1 및 도 2는 종래의 다마신 공정이 적용된 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 2 내지 도 9는 본 발명의 일 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 10 내지 도 14는 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

도 15는 본 발명의 다른 실시예 중 음각 패턴의 다른 형성방법을 설명하기 위한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<5> 본 발명은 반도체 소자의 형성방법에 관한 것으로, 특히, 금속 패턴을 갖는 반도체 소자의 형성방법에 관한 것이다.

<6> 반도체 소자의 고집적화 경향에 따라, 반도체 소자를 구성하는 금속 배선의 선폭이 점점 감소하여 상기 금속 배선의 선폭에 대한 높이의 비가 점점 증가하고

있다. 이에 따라, 상기 금속 배선을 형성하기 위한 포토리소그래피 공정 또는 식각공정이 점점 어려워지고 있다. 이러한 문제점을 해결하기 위한 방안으로 다마신 공정이 제안된 바 있다. 상기 다마신 공정은 패터닝(특히, 식각공정)이 어려운 구리 배선 또는 알루미늄 배선 형성에 사용될 수 있다.

<7> 도 1 및 도 2는 종래의 다마신 공정이 적용된 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

<8> 도 1 및 도 2를 참조하면, 반도체기판(1)에 층간절연막(2)을 형성하고, 상기 층간절연막(2)을 패터닝하여 라인형태의 그루브(3)를 형성한다. 상기 그루브(3) 내부를 포함한 반도체기판(1) 전면에 확산방지막(4)을 형성한다. 상기 확산방지막(4)은 티타늄질화막으로 형성한다. 상기 확산방지막(4)은 웨팅막(wetting layer) 역할도 할 수 있다.

<9> 상기 확산방지막(4) 상에 알루미늄막(5)을 형성한다. 이때, 상기 알루미늄막(5)은 상기 그루브(3)를 채운다. 상기 알루미늄막(5) 및 상기 확산방지막(4)을 상기 층간절연막(2)이 노출될때까지 화학적기계적 연마 공정으로 평탄화하여 상기 그루브(3) 내에 적층된 확산 방지 패턴(4a) 및 알루미늄 배선(5a)을 형성한다.

<10> 상술한 형성방법에 있어서, 상기 화학적기계적 연마공정시, 상기 확산방지막(4)의 잔여물이 발생할 수 있다. 상기 확산방지막(4)의 잔여물에 의하여 상기 알루미늄 배선(5a)의 상면에 스크래치(scratch)가 발생할 수 있다. 이에 따라, 상기 알루미늄 배선(5a)을 갖는 반도체 소자의 불량률이 발생할 수 있다. 즉,

상기 알루미늄 배선(5a)의 EM(ElectroMigration) 특성등이 열화되거나, 상기 스크래치된 알루미늄 배선(5a)의 잔여물에 의하여 배선들이 쇼트(short)되어 반도체 소자의 불량률이 유발될 수 있다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명이 이루고자 하는 기술적 과제는 음각 패턴 내에 형성되는 금속 패턴의 특성 열화를 방지할 수 있는 반도체 소자의 형성방법을 제공하는데 있다.

【발명의 구성 및 작용】

<12> 상술한 기술적 과제를 해결하기 위한 반도체 소자의 형성방법을 제공한다. 이 방법은 기판 상에 형성된 몰드층을 패터닝하여 음각 패턴(intaglio pattern)을 형성하는 단계를 포함한다. 상기 음각 패턴을 갖는 기판 전면 상에 콘포말한 베리어막을 형성하고, 상기 베리어막 상에 상기 음각 패턴을 채우는 유동성 물질막을 형성한다. 상기 유동성 물질막 및 상기 베리어막을 상기 몰드층의 상면이 노출될때까지 연속적으로 전면 이방성 식각하여 상기 음각 패턴 내에 적층된 베리어 패턴 및 유동성 물질 패턴을 형성한다. 상기 유동성 물질 패턴을 제거하여 상기 베리어 패턴을 노출시킨다. 상기 노출된 베리어 패턴을 갖는 기판 전면 상에 상기 음각 패턴을 채우는 금속막을 형성한다.

<13> 구체적으로, 상기 음각 패턴은 상기 몰드층을 관통하여 상기 기판의 소정영역을 노출시키는 콘택홀일 수 있다. 이와는 달리, 음각 패턴은 상기 몰드층에 패터닝된 그루브일 수 있다. 이에 더하여, 상기 음각 패턴은 상기 몰드층 내에 상

기 기관의 소정영역을 노출시키는 콘택홀 및 상기 콘택홀 상부를 가로지르는 그루브로 구성될 수도 있다.

<14> 상기 베리어막은 Ti막, Ta막, TiN막, Ti/TiN막, TaN막, Ta/TaN막 및 WN막으로 구성된 일군에서 선택된 적어도 하나로 형성하는 것이 바람직하다.

<15> 상기 유동성 물질막은 상기 몰드층에 대하여 식각선택비를 갖는 물질로 형성하는 것이 바람직하다. 상기 유동성 물질막은 포토레지스트로 형성할 수 있다. 이 경우에, 상기 유동성 물질 패턴은 현상액을 사용하여 제거하거나, 애싱공정으로 제거할 수 있다. 이와는 다르게, 상기 유동성 물질막은 SOG막으로 형성할 수도 있다. 이 경우, 상기 유동성 물질 패턴은 인산 함유 용액 및 불산 함유 용액 중 선택된 하나를 사용하여 제거할 수 있다.

<16> 상기 금속막은 알루미늄막으로 형성하는 것이 바람직하다. 이와는 다르게, 상기 금속막은 구리 및 텅스텐으로 구성된 일군에서 선택된 적어도 하나로 형성할 수도 있다. 상기 금속막을 형성한 후에, 상기 금속막을 상기 몰드층의 상면이 노출될때까지 평탄화하여 상기 음각 패턴 내에 금속 패턴을 형성하는 단계를 더 포함할 수 있다. 상기 평탄화 공정은 화학적기계적 연마 공정으로 평탄화할 수 있다.

<17> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히

전달될 수 있도록 하기 위해 제공되어지는 것이다. 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

<18> (제1 실시예)

<19> 도 2 내지 도 9는 본 발명의 일 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이다.

<20> 도 2를 참조하면, 반도체기판(101) 상에 하부 절연막(103)을 형성하고, 상기 하부 절연막(103) 내에 하부 도전 패턴(105)을 형성한다. 상기 하부 절연막(103)은 실리콘산화막으로 형성할 수 있다. 상기 하부 도전 패턴(105)은 상기 하부 절연막(103) 상에 형성될 수도 있다. 상기 하부 도전 패턴(105)은 도전막으로 형성한다. 예를 들면, 도핑된 폴리실리콘막 또는 금속막으로 형성할 수 있다. 상기 하부 절연막(103) 및 상기 하부 도전 패턴(105)은 생략될 수도 있다.

<21> 상기 하부 도전 패턴(105)을 갖는 반도체기판(101) 전면 상에 제1 몰드층(107)을 형성한다. 상기 제1 몰드층(107)은 CVD 실리콘산화막으로 형성할 수 있다. 상기 제1 몰드층(107)을 패터닝하여 상기 하부 도전 패턴(105)의 소정영역을 노출시키는 콘택홀(109)을 형성한다. 상기 콘택홀(109)은 제1 음각 패턴(1st intaglio pattern)에 해당한다. 상기 콘택홀(109)을 갖는 반도체기판(101) 전면 상에 콘포말한 제1 베리어막(111)을 형성한다. 상기 제1 베리어막(111)은 Ti막,

Ta막, TiN막, Ti/TiN막, TaN막, Ta/TaN막 및 WN막으로 구성된 일군에서 선택된 하나 또는 그들의 조합막들로 형성하는 것이 바람직하다.

<22> 상기 제1 베리어막(111) 상에 상기 콘택홀(109)을 채우는 제1 유동성 물질막(113, flowable material layer)을 형성한다. 상기 제1 유동성 물질막(113)은 유동성이 큰 물질로서, 그것의 상부면이 평탄화될 수 있다. 상기 제1 유동성 물질막(113)은 상기 제1 몰드층(107)에 대하여 식각선택비를 갖는 물질막인 것이 바람직하다. 상기 제1 유동성 물질막(113)은 포토레지스트 및 SOG막(Spin On Glass layer) 선택된 하나로 형성하는 것이 바람직하다.

<23> 도 4 및 도 5를 참조하면, 상기 제1 유동성 물질막(113)을 상기 제1 몰드층(107) 상의 상기 제1 베리어막이 노출될때까지 전면 이방성 식각하여 상기 콘택홀(109) 내에 제1 유동성 물질 패턴(113a)을 형성한다. 상기 전면 이방성 식각은 에치 백(etch back) 공정으로 수행할 수 있다.

<24> 이어서, 상기 제1 유동성 물질 패턴(113a)을 마스크로 사용하여 상기 노출된 제1 베리어막(111)을 상기 제1 몰드층(107)의 상면이 노출될때까지 평탄화시키어 상기 콘택홀(109) 내에 제1 베리어 패턴(111a)을 형성한다.

<25> 이어서, 상기 제1 유동성 물질 패턴(113a)을 제거하여 상기 제1 베리어 패턴(111a)을 노출시킨다. 이때, 상기 제1 유동성 물질 패턴(113a)은 상기 제1 몰드층(107)에 대하여 식각선택비를 가짐으로, 상기 제1 몰드층(107)은 보호된다. 상기 제1 유동성 물질 패턴(113a)이 포토레지스트로 형성될 경우, 상기 제1 유동성 물질 패턴(113a)은 현상액을 사용하여 제거하거나, 산소 플라즈마등의 식각 매체를 사용하는 애싱(ashing) 공정으로 제거할 수 있다. 상기 제1 유동성 물질

패턴(113a)이 SOG막으로 형성될 경우, 상기 제1 유동성 물질 패턴(113a)은 인산 함유 용액 및 불산 함유 용액 중 선택된 하나로 제거하는 것이 바람직하다. 상기 인산 함유 용액은 CVD 실리콘산화막 및 SOG막에 대한 식각선택비가 약 1:40정도이며, 상기 불산 함유 용액은 CVD 실리콘산화막 및 SOG막에 대한 식각선택비가 약 1:6 정도이다.

<26> 상기 노출된 제1 베리어 패턴(111a)을 갖는 반도체기판(101) 전면 상에 상기 콘택홀(109)을 채우는 제1 금속막(117)을 형성한다. 상기 제1 금속막(117)은 알루미늄막으로 형성하는 것이 바람직하다. 상기 알루미늄막은 화학기상증착법 및 스퍼터링법 중 선택된 적어도 하나의 방법으로 증착하는 것이 바람직하다. 상기 증착된 알루미늄막에 열공정인 리플로우 공정(reflow process)을 수행할 수 있다. 상기 리플로우 공정은 상기 증착된 알루미늄막 내의 원자들을 이동시켜 상기 콘택홀(109) 내에 균일하게 채울수 있도록 하기 위한 공정이다.

<27> 상기 알루미늄막을 형성하는 방법의 예를 들면, 먼저, 상기 제1 베리어 패턴(111a)을 갖는 반도체기판(101)에 화학기상증착법으로 콘포말한 CVD 알루미늄막을 형성한다. 상기 CVD 알루미늄막은 상기 콘택홀(109) 측벽의 상부에도 증착된다. 상기 CVD(Chemical Vapor Deposition) 알루미늄막 상에 높은 스루 풋 (through-put)의 스퍼터링법을 사용하여 PVD(Physical Vapor Deposition) 알루미늄막을 증착한다. 상기 CVD 및 PVD 알루미늄막을 갖는 반도체기판(101)에 리플로우 공정을 진행하여 상기 콘택홀(109) 내에 균일하게 알루미늄막을 형성한다. 이때, 상기 CVD 및 PVD 알루미늄막은 알루미늄 내에 소량의 실리콘 또는 구리원소

를 포함하는 알루미늄 합금막일 수 있다. 물론, 상기 알루미늄막은 상기 CVD 알루미늄막 또는 PVD 알루미늄막의 단일막으로도 증착될 수 있다.

<28> 이와는 다르게, 상기 제1 금속막(117)은 텅스텐 또는 구리으로도 형성할 수 있다.

<29> 도 6을 참조하면, 상기 제1 금속막(117)을 상기 몰드층(107)의 상면이 노출될 때까지 평탄화시키어 상기 콘택홀(109) 내에 콘택플러그 형태의 제1 금속 패턴(109)을 형성한다. 상기 평탄화 공정은 화학적기계적 연마 공정으로 진행할 수 있다. 이때, 상기 제1 베리어 패턴(111a)은 상기 콘택홀(109) 내부에만 형성되어 있다. 이에 따라, 상기 화학적기계적 연마공정으로 평탄화할지라도, 상기 제1 베리어 패턴(111a)은 식각되지 않는다. 그 결과, 종래의 베리어막의 잔여물에 의한 스크래치 현상등을 방지할 수 있다. 즉, 상기 제1 금속 패턴(111a)의 스크래치 현상등을 방지하여 상기 제1 금속 패턴(111a)의 특성 열화 또는 반도체 소자의 불량을 방지할 수 있다.

<30> 이어서, 상기 제1 금속 패턴(117a)을 갖는 반도체기판(101) 전면 상에 식각 방지막(118) 및 층간절연막(119)을 차례로 형성한다. 상기 식각방지막(118) 및 상기 층간절연막(119)은 제2 몰드층(120)을 구성한다. 상기 층간절연막(119)은 CVD 실리콘산화막으로 형성할 수 있다. 상기 식각방지막(118)은 상기 층간절연막(119)에 대하여 식각선택비를 갖는 절연막으로 형성한다. 예를 들면, 실리콘질화막으로 형성할 수 있다. 경우에 따라, 상기 식각방지막(118)은 생략될 수도 있다.

- <31> 상기 상기 층간절연막(119) 및 상기 식각방지막(118)을 연속적으로 패터닝하여 상기 제1 금속 패턴(117a)을 노출시키는 그루브(122)를 형성한다. 상기 그루브(122)는 상기 제1 금속 패턴(117a) 상을 가로지른다. 상기 그루브(122)는 제2 음각 패턴에 해당한다. 상기 그루브(122)를 갖는 반도체기판(101) 전면에 콘포말한 제2 베리어막(124)을 형성한다. 상기 제2 베리어막(124)은 Ti막, Ta막, TiN막, Ti/TiN막, TaN막, Ta/TaN막 및 WN막으로 구성된 일군에서 선택된 하나 또는 그들의 조합막들로 형성하는 것이 바람직하다. 상기 제2 베리어막(124)은 상기 제1 베리어막(111)과 동일한 물질로 형성할 수 있다.
- <32> 상기 제2 베리어막(124) 상에 제2 유동성 물질막(126)을 형성한다. 상기 제2 유동성 물질막(126)은 상기 제2 몰드층(120)에 대하여 식각선택비를 갖는 물질막으로 형성하는 것이 바람직하다. 상기 제2 유동성 물질막(126)은 포토레지스트 및 SOG막으로 구성된 일군에서 선택된 하나로 형성하는 것이 바람직하다. 상기 제2 유동성 물질막(126)은 상기 제1 유동성 물질막(113)과 동일한 물질로 형성할 수 있다.
- <33> 도 7, 도 8 및 도 9를 참조하면, 상기 제2 유동성 물질막(126) 및 상기 제2 베리어막(124)을 상기 제2 몰드층(120)의 상면이 노출될때까지 연속적으로 전면이방성 식각하여 상기 그루브(122) 내에 적층된 제2 베리어 패턴(124a) 및 제2 유동성 물질 패턴(126a)을 형성한다. 즉, 상기 제2 몰드층(120)의 상면 상에는 상기 제2 베리어막(124)이 모두 제거된다.
- <34> 상기 제2 유동성 물질 패턴(126a)을 제거하여 상기 제2 베리어 패턴(124a)을 노출시킨다. 상기 제2 유동성 물질 패턴(126a)은 상기 제2 몰드층(120)에 대

하여 식각선택비를 갖는 물질막임으로, 상기 제2 몰드층(120)은 보호된다. 상기 제2 유동성 물질 패턴(126a)이 포토레지스트로 형성될 경우, 상기 제2 유동성 물질 패턴(126a)은 현상액을 사용하여 제거하거나, 애싱(ashing) 공정으로 제거할 수 있다. 상기 제2 유동성 물질 패턴(126a)이 상기 SOG막으로 형성될 경우, 상기 제2 유동성 물질 패턴(126a)은 인산 함유 용액 또는 불산 함유 용액으로 제거할 수 있다.

<35> 상기 노출된 제2 베리어 패턴(124a)을 갖는 반도체기판(101) 전면 상에 제2 금속막(128)을 형성한다. 상기 제2 금속막(128)은 알루미늄막으로 형성하는 것이 바람직하다. 이 경우, 상기 알루미늄막은 상술한 제1 금속막(117)의 형성방법과 동일하게 형성할 수 있다. 즉, 상기 제2 베리어 패턴(124a)을 갖는 반도체기판(101) 전면 상에 화학기상증착법 및 스퍼터링법 중 선택된 적어도 하나의 방법으로 알루미늄막을 증착하는 것이 바람직하다. 상기 증착된 알루미늄막에 상술한 리플로우 공정을 수행할 수 있다. 이와는 다르게, 상기 제2 금속막(128)은 텅스텐 또는 구리로 형성할 수도 있다.

<36> 상기 제2 금속막(128)을 상기 제2 몰드층(120)의 상면이 노출될때까지 평탄화시키어 상기 그루브(122) 내에 금속 배선 형태의 제2 금속 패턴(128a)을 형성한다. 상기 평탄화 공정은 화학적기계적 연마공정으로 진행할 수 있다. 상기 평탄화 공정시, 상기 제2 베리어 패턴(124a)은 상기 제1 베리어 패턴(111a)과 마찬가지로, 상기 제2 몰드층(120) 상에는 형성되어 있지 않다. 이에 따라, 종래의 베리어막의 잔여물로 인한 상기 제2 금속 패턴(128a)의 스크래치 현상등을 방지

할 수 있다. 그 결과, 상기 제2 금속 패턴(128a)의 특성열화 또는 반도체 소자의 불량을 방지할 수 있다.

<37> (제2 실시예)

<38> 본 발명의 제2 실시예에 따른 반도체 소자의 형성방법은 상술한 제1 실시예와 유사하다. 제2 실시예에서는 다른 형태의 음각 패턴에 대하여 개시한다.

<39> 도 10 내지 도 14는 본 발명의 다른 실시예에 따른 반도체 소자의 형성방법을 설명하기 위한 단면도들이고, 도 15는 본 발명의 다른 실시예 중 음각 패턴의 다른 형성방법을 설명하기 위한 단면도이다.

<40> 도 10, 도 11 및 도 15를 참조하면, 반도체기판(201) 상에 하부 절연막(203)을 형성하고, 상기 하부 절연막(203) 내에 하부 도전 패턴(205)을 형성한다. 상기 하부 도전 패턴(205)은 상기 하부 절연막(203) 상에 형성될 수도 있다. 상기 하부 도전 패턴(205)은 도전막인 도핑된 폴리실리콘막 또는 금속막으로 형성할 수 있다. 상기 하부 절연막(203) 및 상기 하부 도전 패턴(205)은 생략될 수도 있다.

<41> 상기 하부 도전 패턴(205)을 갖는 반도체기판(201) 상에 제1 층간절연막(207), 식각방지막(208) 및 제2 층간절연막(209)을 차례로 형성한다. 상기 제1 층간절연막(207), 상기 식각방지막(208) 및 상기 제2 층간절연막(209)은 몰드층(210)을 구성한다. 상기 제1 및 제2 층간절연막들(207, 209)은 CVD 실리콘산화막으로 형성할 수 있다. 상기 식각방지막(208)은 상기 제2 층간절연막(209)에 대하여 식각선택비를 갖는 절연막, 예컨대, 실리콘질화막으로 형성할 수 있다. 경우

에 따라, 상기 식각방지막(208)은 생략될 수도 있다. 예를 들면, 상기 제2 층간 절연막(209)이 상기 제1 층간절연막(207)에 대하여 식각선택비를 가질 경우, 상기 식각방지막(208)은 생략될 수 있다.

<42> 상기 제2 층간절연막(209)을 패터닝하여 상기 식각방지막(208)의 소정영역을 노출시키는 그루브(212)를 형성한다. 상기 그루브(212)는 라인 형태 일 수도 있다. 상기 노출된 식각방지막(208) 및 상기 제1 층간절연막(207)을 연속적으로 패터닝하여 상기 하부 도전 패턴(205)의 소정영역을 노출시키는 콘택홀(214)을 형성한다. 상기 그루브(212) 및 상기 콘택홀(214)은 음각 패턴(215, intaglio pattern)을 구성한다.

<43> 이와는 다르게, 상기 음각 패턴(215)은 상기 콘택홀(214)을 먼저 형성하고, 상기 그루브(212)를 형성할 수 있다. 이 방법은 도 15를 참조하여 설명한다.

<44> 상기 제2 층간절연막(209), 상기 식각방지막(208) 및 상기 제1 층간절연막(207)을 연속적으로 패터닝하여 상기 하부 도전 패턴(205)의 소정영역을 노출시키는 콘택홀(214)을 형성한다. 이어서, 상기 제2 층간절연막(209)을 패터닝하여 상기 콘택홀(214)의 상부를 가로지르는 그루브(212)를 형성한다. 이에 따라, 도 11의 도시된 상기 몰드층(210) 내에 상기 음각 패턴(215)을 형성할 수 있다.

<45> 상기 음각 패턴(215)을 갖는 반도체기판(201) 전면 상에 콘포말한 베리어막(216)을 형성하고, 상기 베리어막(216) 상에 상기 음각 패턴(215)을 채우는 유동성 물질막(218)을 형성한다. 상기 베리어막(216)은 Ti막, Ta막, TiN막, Ti/TiN막, TaN막, Ta/TaN막 및 WN막으로 구성된 일군에서 선택된 하나 또는 그들의 조합막들로 형성하는 것이 바람직하다. 상기 유동성 물질막(218)은 상기 몰드

층(210)에 대하여 식각선택비를 갖는 물질막, 예를 들면, 포토레지스트 및 SOG막 중 선택된 하나로 형성하는 것이 바람직하다.

<46> 도 12, 도 13 및 도 14를 참조하면, 상기 유동성 물질막(218) 및 상기 베리어막(216)을 상기 몰드층(210)의 상면이 노출될때까지 평탄화시키어 상기 음각 패턴(215) 내에 적층된 베리어 패턴(216a) 및 유동성 물질 패턴(218a)을 형성한다.

<47> 이어서, 상기 유동성 물질 패턴(218a)을 제거하여 상기 베리어 패턴(216a)을 노출시킨다. 상기 유동성 물질 패턴(218a)이 포토레지스트일 경우, 상기 유동성 물질 패턴(218a)은 현상액 또는 애싱공정으로 제거하는 것이 바람직하다. 상기 유동성 물질 패턴(218a)이 SOG막으로 형성될 경우, 상기 유동성 물질 패턴(218a)은 인산 함유 용액 또는 불산 함유 용액으로 제거할 수 있다.

<48> 상기 노출된 베리어 패턴(216a)을 갖는 반도체기판(201) 상에 상기 음각 패턴(215)을 채우는 금속막(225)을 형성한다. 상기 금속막(225)은 알루미늄막으로 형성하는 것이 바람직하다. 이때, 상기 알루미늄막을 형성하는 방법은 상술한 제 1 실시예의 도 5에 도시된 제1 금속막(117)의 형성방법과 동일하게 형성할 수 있다. 즉, 상기 알루미늄막은 화학기상증착법 및 스퍼터링법으로 구성된 일군에서 선택된 적어도 하나의 방법으로 증착하는 것이 바람직하다. 이후에, 상기 증착된 알루미늄막에 리플로우 공정을 더 수행할 수도 있다. 이와는 다르게, 상기 금속막(225)은 텅스텐 또는 구리로 형성할 수도 있다.

<49> 상기 금속막(225)을 상기 몰드층(210)의 상면이 노출될때까지 평탄화시키어 상기 음각 패턴(215) 내에 금속 패턴(225a)을 형성한다. 상기 평탄화 공정은 화

학적기계적 연마 공정으로 수행할 수 있다. 상기 음각 패턴(215) 내에만 상기 베리어 패턴(216a)이 형성되어 있음으로, 상기 평탄화 공정시, 상기 베리어 패턴(216a)은 식각되지 않는다. 이에 따라, 종래의 베리어막의 잔여물로 야기되는 스크래치 현상을 방지 할 수 있다. 그 결과, 상기 금속 패턴(225a)의 특성 열화 또는 반도체 소자의 불량을 방지할 수 있다.

【발명의 효과】

<50> 상술한 바와 같이, 본 발명에 따르면, 유동성 물질막을 이용하여 몰드층 내의 음각 패턴 내에만 베리어 패턴을 형성한다. 이에 따라, 상기 베리어 패턴 상에 상기 음각 패턴 내부를 채우는 금속막을 형성한 후에, 상기 금속막을 화학적 기계적 연마공정으로 평탄화할지라도, 상기 베리어 패턴은 식각되지 않는다. 그 결과, 종래의 베리어막의 잔여물로 야기되는 스크래치 현상등을 방지할 수 있다. 즉, 상기 음각 패턴 내에 형성되는 금속 패턴의 스크래치 현상등을 방지하여 상기 금속 패턴의 특성열화 또는 반도체 소자의 불량을 방지할 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 형성된 몰드층을 패터닝하여 음각 패턴을 형성하는 단계;

상기 음각 패턴을 갖는 기판 전면 상에 콘포말한 베리어막을 형성하는 단계;

상기 베리어막상에 상기 음각 패턴을 채우는 유동성물질막을 형성하는 단계;

상기 유동성 물질막 및 상기 베리어막을 상기 몰드층의 상면이 노출될 때까지 연속적으로 전면 이방성 식각하여 상기 음각 패턴 내에 적층된 베리어 패턴 및 유동성 물질 패턴을 형성하는 단계;

상기 유동성 물질 패턴을 제거하여 상기 베리어 패턴을 노출시키는 단계;

및

상기 노출된 베리어 패턴을 갖는 기판 전면 상에 상기 음각 패턴을 채우는 금속막을 형성하는 단계를 포함하는 반도체 소자의 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 음각 패턴을 형성하는 단계는,

상기 몰드층을 패터닝하여 상기 기판의 소정영역을 노출시키는 콘택홀을 형성하는 단계를 포함하되, 상기 콘택홀은 상기 음각 패턴인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 3】

제 1 항에 있어서,
상기 음각 패턴을 형성하는 단계는,
상기 몰드층을 패터닝하여 그루브를 형성하는 단계를 포함하되, 상기 그루브는 상기 음각 패턴인 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 4】

제 1 항에 있어서,
상기 음각 패턴을 형성하는 단계는,
상기 몰드층 내에 상기 기판의 소정영역을 노출시키는 콘택홀 및 상기 콘택홀 상부를 가로지르는 그루브를 형성하는 단계를 포함하되, 상기 콘택홀 및 상기 그루브는 상기 음각 패턴을 구성하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 5】

제 4 항에 있어서,
상기 콘택홀 및 상기 그루브를 형성하는 단계는,
상기 기판에 제1 층간절연막 및 제2 층간절연막을 차례로 형성하는 단계;
상기 제2 층간절연막을 패터닝하여 상기 제1 층간절연막의 소정영역을 노출시키는 그루브를 형성하는 단계; 및

상기 노출된 제1 층간절연막을 패터닝하여 상기 기판의 소정영역을 노출시키는 콘택홀을 형성하는 단계를 포함하되, 상기 제1 층간절연막 및 제2 층간절연막은 상기 몰드층을 구성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 6】

제 4 항에 있어서,

상기 콘택홀 및 상기 그루브를 형성하는 단계는,

상기 기판 상에 제1 층간절연막 및 제2 층간절연막을 차례로 형성하는 단계;

상기 제2 층간절연막 및 상기 제1 층간절연막을 연속적으로 패터닝하여 상기 기판의 소정영역을 노출시키는 콘택홀을 형성하는 단계; 및

상기 제2 층간절연막을 패터닝하여 상기 콘택홀의 상부를 가로지르는 그루브를 형성하는 단계를 포함하되, 상기 제1 층간절연막 및 제2 층간절연막은 상기 몰드층을 구성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 7】

제 1 항에 있어서,

상기 베리어막은 Ti막, Ta막, TiN막, Ti/TiN막, TaN막, Ta/TaN막 및 WN막으로 구성된 일군에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 8】

제 1 항에 있어서,

상기 유동성 물질막은 상기 몰드층에 대하여 식각선택비를 갖는 물질로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 9】

제 8 항에 있어서,

상기 유동성 물질막은 포토레지스트로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 10】

제 9 항에 있어서,

상기 유동성 물질 패턴은 현상액을 사용하는 제거하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 11】

제 9 항에 있어서,

상기 유동성 물질 패턴은 애싱(ashing) 공정으로 제거하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 12】

제 8 항에 있어서,

상기 유동성 물질막은 SOG막(Spin On Glass layer)으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 13】

제 12 항에 있어서,

상기 유동성 물질 패턴은 인산 함유 용액 및 불산 함유 용액 중 선택된 하나를 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 14】

제 1 항에 있어서,

상기 금속막은 알루미늄막으로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 15】

제 14 항에 있어서,

상기 알루미늄막은 화학기상증착법 및 스퍼터링법 중 선택된 적어도 하나의 방법으로 증착하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 16】

제 15 항에 있어서,

상기 알루미늄막을 증착한 후에,

상기 증착된 알루미늄막을 갖는 반도체기판에 리플로우(reflow)공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 17】

제 1 항에 있어서,

상기 금속막은 구리 및 텅스텐으로 구성된 일군에서 선택된 적어도 하나로 형성하는 것을 특징으로 하는 반도체 소자의 형성방법.

【청구항 18】

제 1 항에 있어서,

상기 금속막을 형성한 후에,

상기 금속막을 상기 몰드층의 상면이 노출될때까지 평탄화하여 상기 음각 패턴 내에 금속 패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【청구항 19】

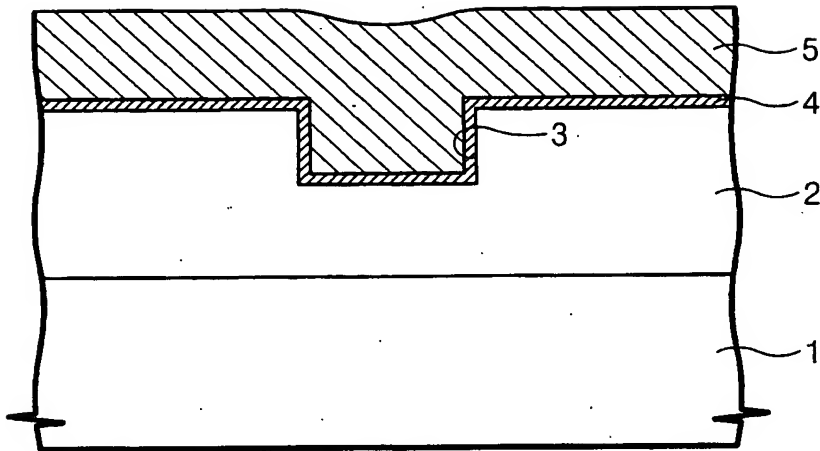
제 18 항에 있어서,

상기 금속막을 평탄화하는 단계는 화학적기계적 연마공정으로 평탄화하는 것을 특징으로 하는 반도체 소자의 형성 방법.

【도면】

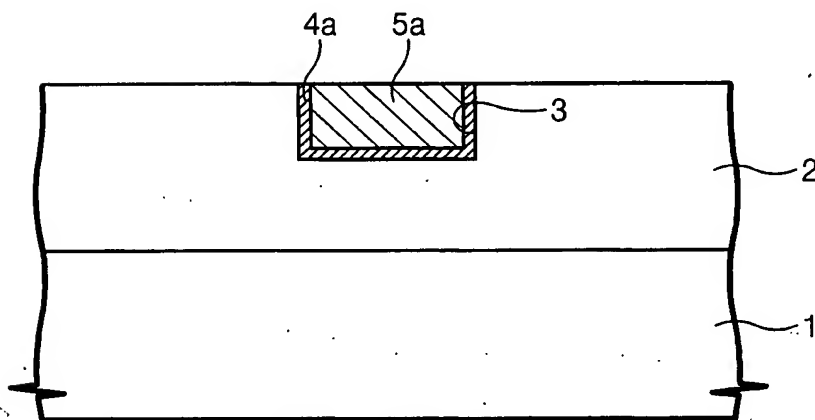
【도 1】

(종래 기술)

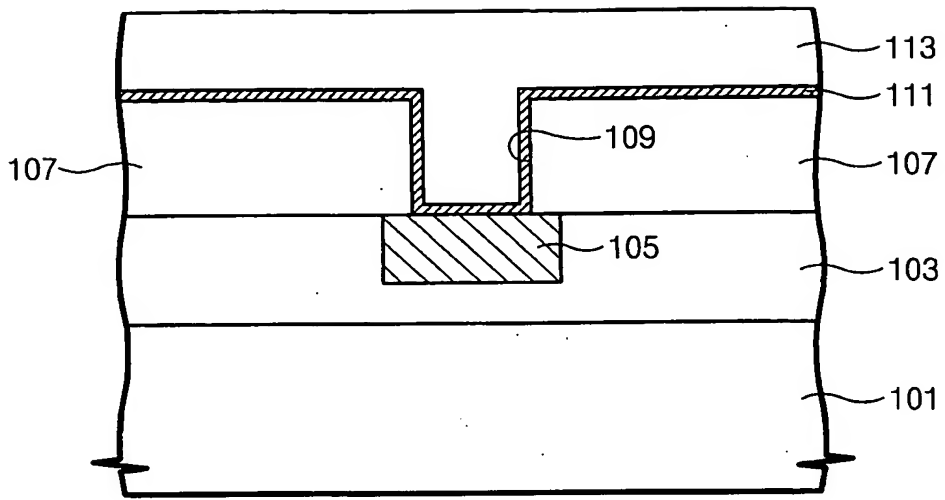


【도 2】

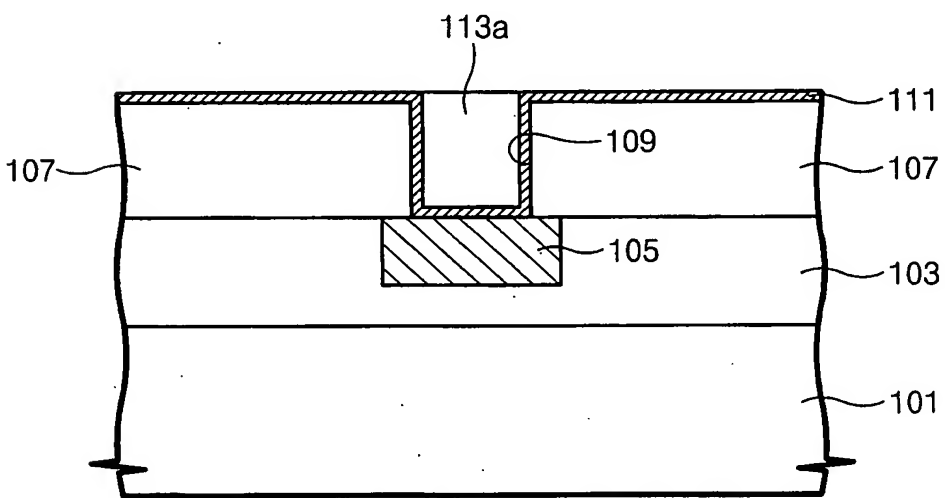
(종래 기술)



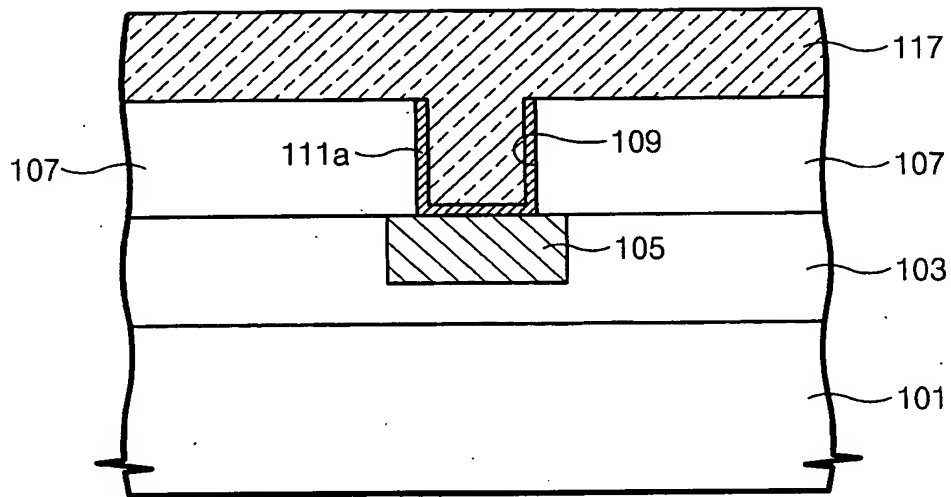
【도 3】



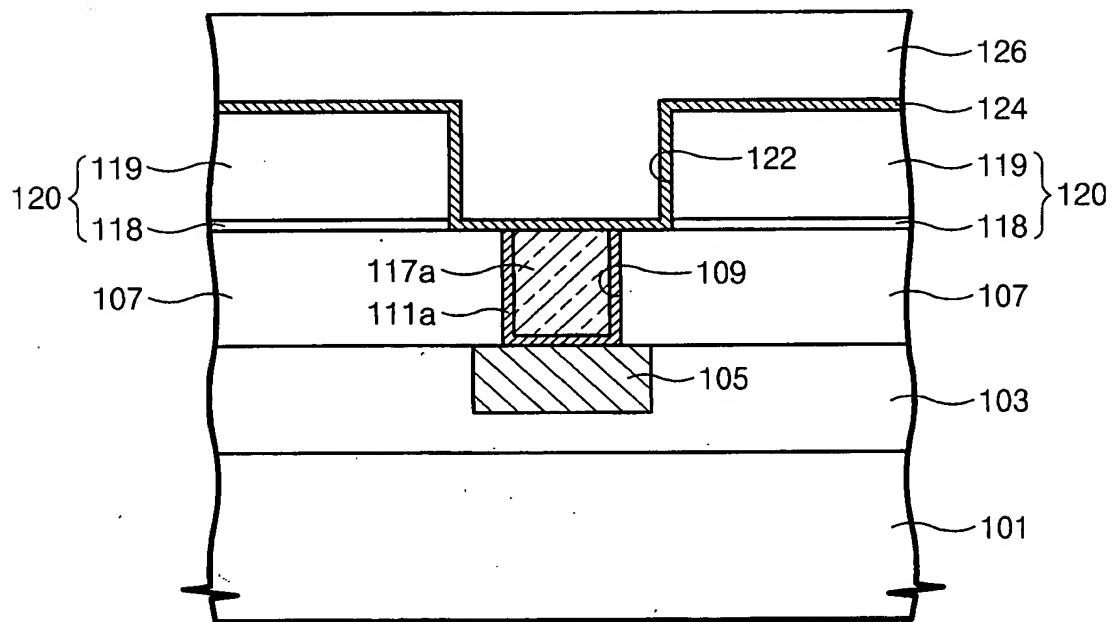
【도 4】



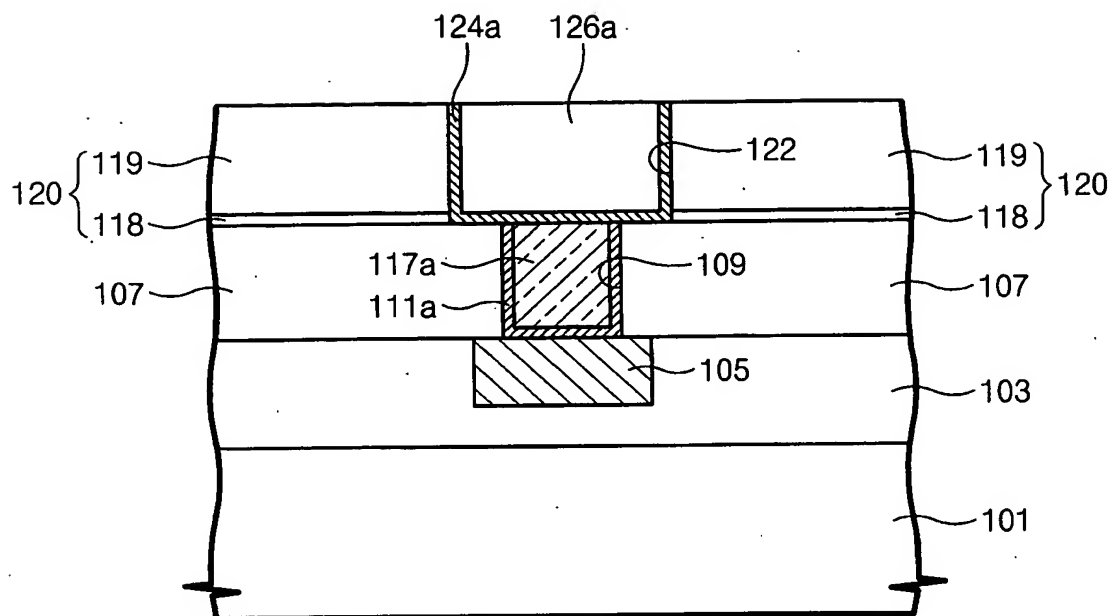
【도 5】



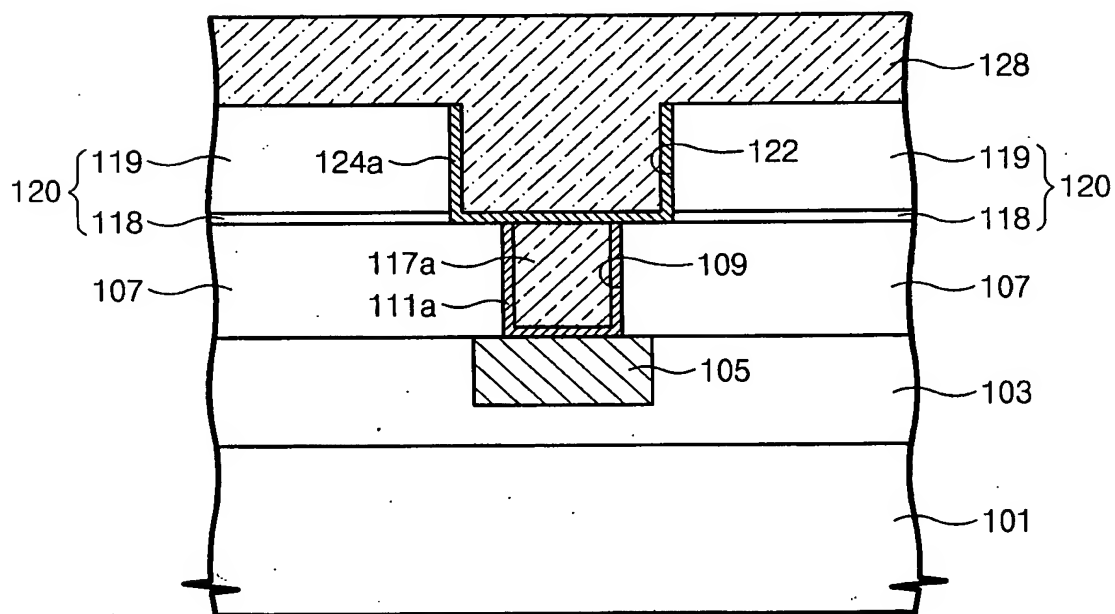
【도 6】



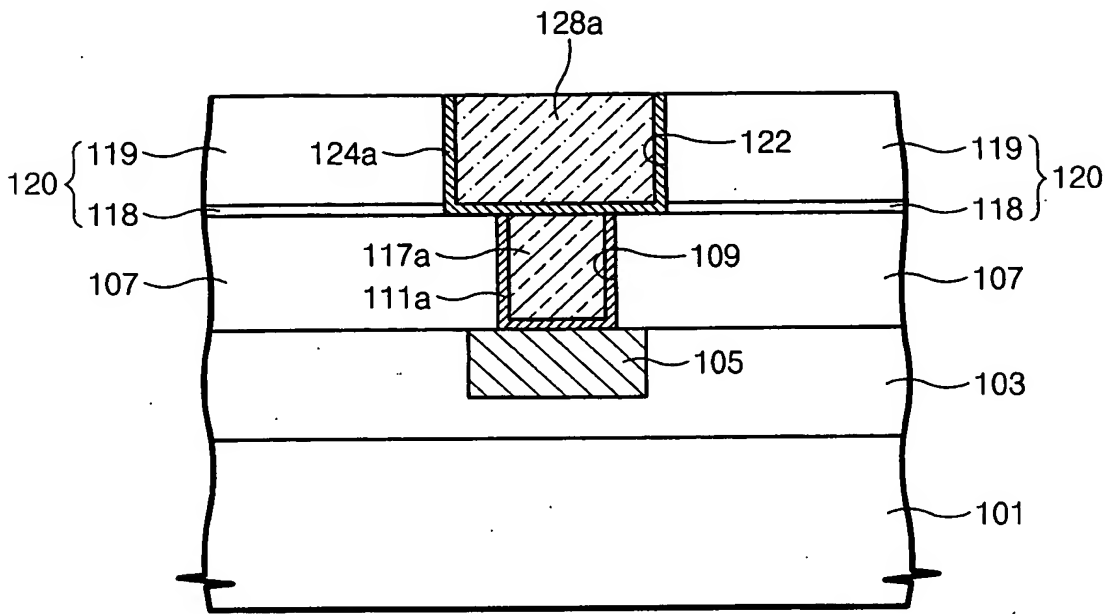
【도 7】



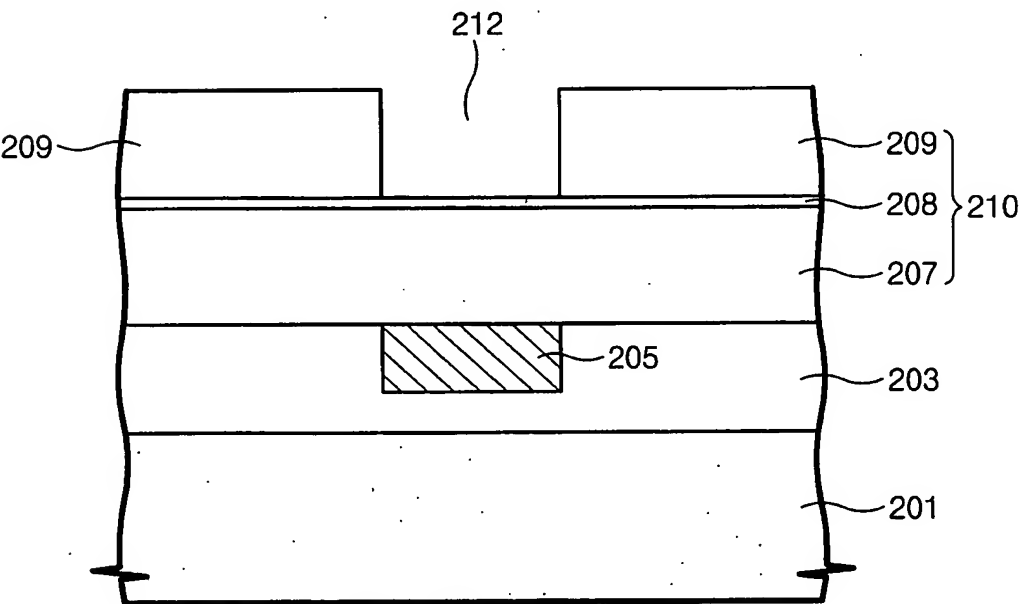
【도 8】



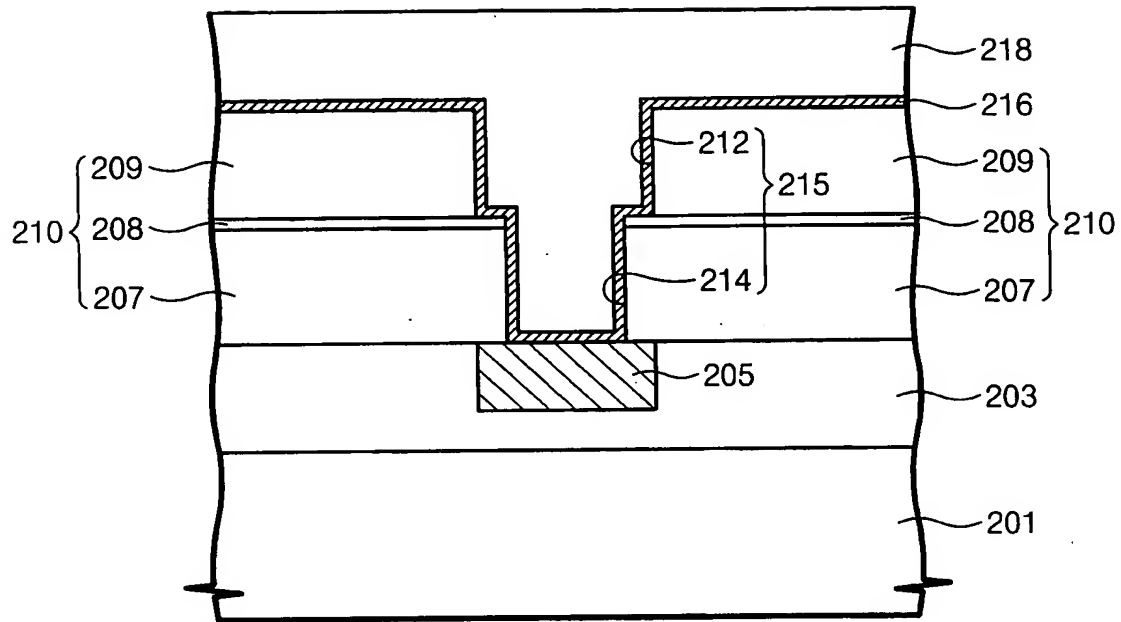
【도 9】



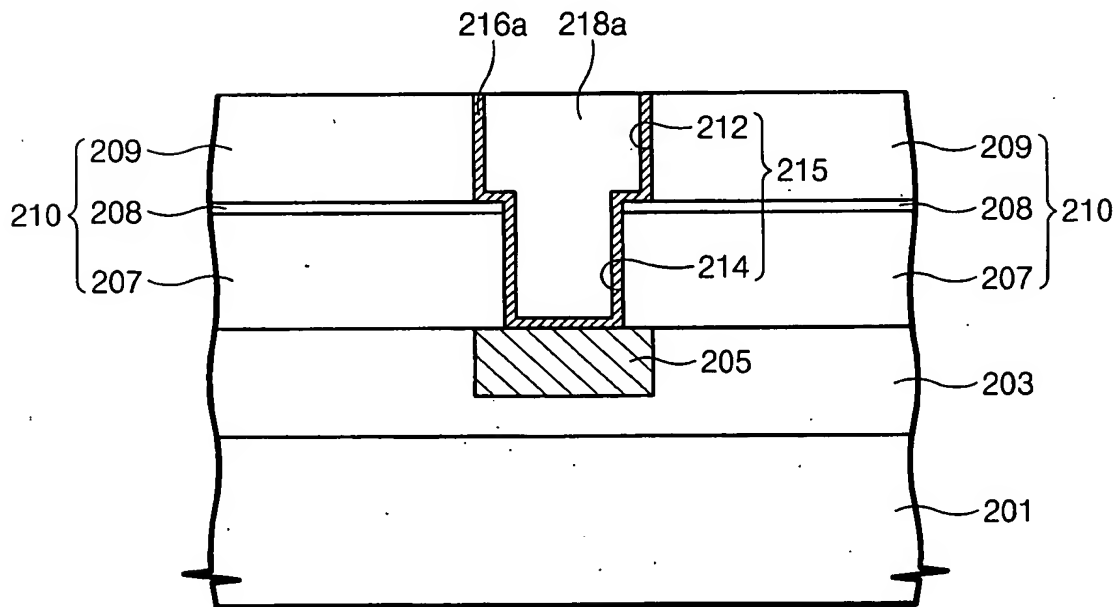
【도 10】



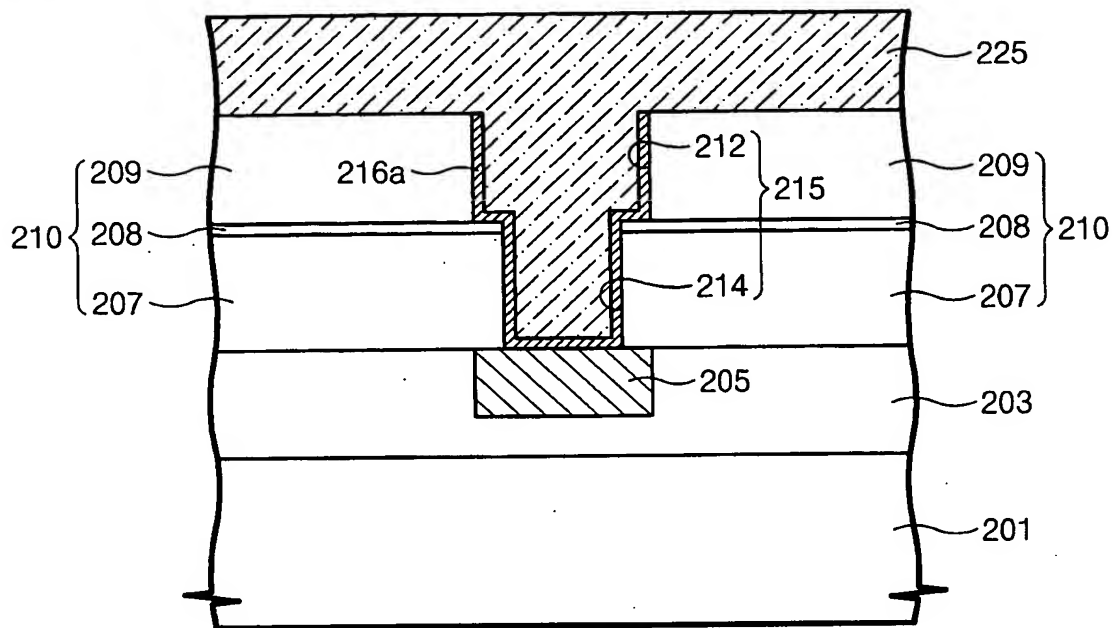
【도 11】



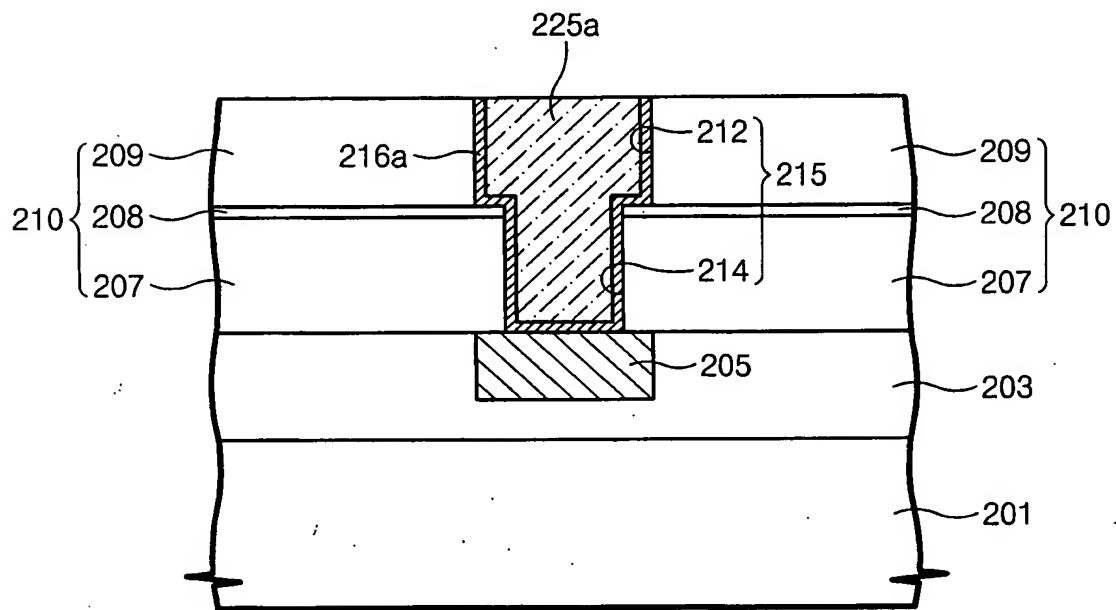
【도 12】



【도 13】



【도 14】



【도 15】

